

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

DIALOG(R) File 351:Derwent WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.

011607540 **Image available**

WPI Acc No: 1998-024668/199803

XRFX Acc No: N98-019210

**Surface conduction type electron emitting element for flat pannel display
- has film for electron emission which is formed contacting lower
electrode, insulating layer and upper electrode respectively**

Patent Assignee: DAINIPPON PRINTING CO LTD (NIPQ)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 9283012	A	19971031	JP 96117092	A	19960416	199803 B

Priority Applications (No Type Date): JP 96117092 A 19960416

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 9283012	A	14	H01J-001/30	

Abstract (Basic): JP 9283012 A

The element (50) includes a glass substrate (51) on which a lower electrode (52), an insulating layer (53) and an upper electrode (54) are formed sequentially.

A film (55) which performs electron emission is formed in such a way, it contacts the lower electrode, insulating layer and the upper electrode respectively.

ADVANTAGE - Obtains superior convergent electron emitting element.
Simplifies manufacturing process. Simplifies entire structure.

Dwg.3/24

Title Terms: SURFACE; CONDUCTING; TYPE; ELECTRON; EMIT; ELEMENT; FLAT;
DISPLAY; FILM; ELECTRON; EMIT; FORMING; CONTACT; LOWER; ELECTRODE;
INSULATE; LAYER; UPPER; ELECTRODE; RESPECTIVE

Index Terms/Additional Words: FIELD; EMISSION; DISPLAY

Derwent Class: V05

International Patent Class (Main): H01J-001/30

International Patent Class (Additional): H01J-009/02

File Segment: EPI

Manual Codes (EPI/S-X): V05-D01B3C; V05-D01C5; V05-D05C5; V05-L05D1

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-283012

(43) 公開日 平成9年(1997)10月31日

(51) Int. Cl.⁴H 0 1 J 1/30
9/02

識別記号

庁内整理番号

F I

H 0 1 J 1/30
9/02

技術表示箇所

B
B

審査請求 未請求 請求項の数 7 F D (全 14 頁)

(21) 出願番号

特 願 平 8 - 117092

(22) 出願日

平 成 8 年 (1996) 4 月 16 日

(71) 出願人 000002897

大日本印刷株式会社

東京都新宿区市谷加賀町一丁目1番1号

(72) 発明者 細谷 守男

東京都新宿区市谷加賀町一丁目1番1号

大日本印刷株式会社内

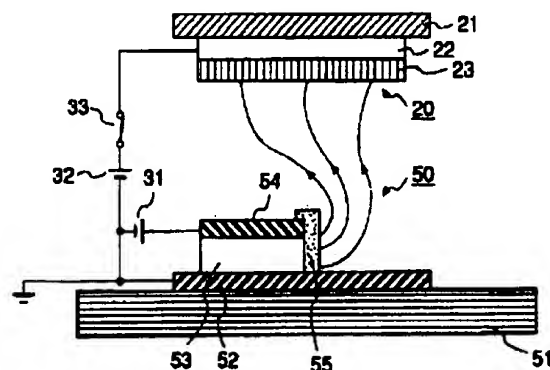
(74) 代理人 弁理士 小西 洋美

(54) 【発明の名称】 1 子放出素子とそれを配列したマトリックス基板およびその製造方法

(57) 【要約】

【課題】 フラットパネルディスプレイへの利用に適するように、特性を改善した電子放出素子とそれを配列したマトリックス基板およびその製造方法を提供する。

【解決手段】 基板上に列方向に伸びた下部電極と絶縁層を介して行方向に伸びた上部電極を形成し、当該下部電極と上部電極の交差近傍の下部電極面上に、絶縁層を介して上部電極を形成し、上部電極と絶縁層の壁面を経て下部電極にいたる部分に電子放出膜を形成することにより、基板に対して一定角度を持った電子放出膜を形成することができる。これにより、対向基板に対する電子の飛翔軌跡の横流れが少なく、個々の素子の特性が均一化され、かつ、基板の配線を簡略化することが可能な電子放出素子を配列したマトリックス基板が得られる。



【特許請求の範囲】

【請求項1】 基板に形成された下部電極面上に絶縁層を介して上部電極を積層して三層構造体を形成し、当該上部電極、絶縁層、側面部を経て下部電極に至る部分に通電により電子放出を行う機能をもった電子放出膜を、上部電極、絶縁層、下部電極の三層のすべてに接するように形成したことを特徴とする電子放出素子。

【請求項2】 下部電極面上に形成された上部電極、絶縁層の端面がそれぞれ揃うように、基板に対して所定の角度で平坦面を形成するように形成されていることを特徴とする請求項1記載の電子放出素子。

【請求項3】 下部電極面上に形成された上部電極、絶縁層が階段状をなすように形成され、かつ上部電極の外周輪郭が絶縁層の外周輪郭よりも小さくその内部に納まるように形成されていることを特徴とする請求項1記載の電子放出素子。

【請求項4】 下部電極面上に形成された上部電極、絶縁層、電子放出膜が画素電極の中心をとる面に対して面対称に形成されていることを特徴とする請求項1ないし請求項3記載の電子放出素子。

【請求項5】 上部電極が下部電極よりも正に荷電されることを特徴とする請求項1ないし請求項4記載の電子放出素子。

【請求項6】 基板に、列方向に伸びた複数の下部電極を配置するとともに、絶縁層を介して行方向に伸びた複数の上部電極を配列し、各下部電極と各上部電極とを絶縁層を介して交差させ、各交差部分の近傍に交差部から分岐した上部電極、絶縁層を介して下部電極面上に形成して3層からなる画素電極を形成し、当該画素電極の上部電極、絶縁層、下部電極の3層のすべてに接するように通電により電子放出を行う機能をもった、電子放出膜を形成した各画素電極および電子放出膜からなる複数の電子放出素子を基板上にマトリックス状に配列し、この複数の電子放出素子について、前記下部電極が列方向配線として機能し、前記上部電極が行方向電極として機能するように構成し、ことを特徴とする電子放出素子を配列したマトリックス基板。

【請求項7】 基板に、列方向に伸びた複数の下部電極を配置するとともに、絶縁層を介して行方向に伸びた複数の上部電極を配列し、各下部電極と各上部電極とを絶縁層を介して交差させ、各交差部分の近傍に交差部から分岐した上部電極、絶縁層を介して下部電極面上に形成して3層からなる画素電極を形成し、当該画素電極の上部電極、絶縁層、下部電極の3層のすべてに接するように通電により電子放出を行う機能をもった、電子放出膜を形成した各画素電極および電子放出膜からなる複数の電子放出素子を基板上にマトリックス状に配列した電子放出素子を配列したマトリックス基板の製造方法であって、

絶縁性をもった透明な基板上に導電性材料からなる列方

向の下部電極を形成する工程と、

前記基板上に上部電極形成層を絶縁層形成層を介して積層する工程と、

前記上部電極形成層の上に感光性レジストを塗布して上部電極と上部電極から分岐して画素電極を形成するパターンをパターン露光する工程と、

当該パターン露光により得られたレジスト層を介して、上部電極と上部電極から分岐した画素電極とそれらを支持する絶縁層をエッチングによりパターン形成する工程と、

通電により電子放出を行う機能をもった電子放出膜を当該画素電極の上部電極、絶縁層、下部電極のすべてに接するように形成する工程と、

を有することを特徴とする電子放出素子を配列したマトリックス基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子放出素子と電子放出素子を配列したマトリックス基板およびその製造方法に関し、特に、表面伝導型の電子放出素子に関する。

【0002】

【従来の技術】フラットパネルディスプレイの一種として、FED (Field Emission Display) が精力的に研究されている。このFEDは、カソード基板とアノード基板とを対向させ、カソード基板上に多数の電子放出素子を配置し、この電子放出素子からアノード基板に向けて電子を放出させ、アノード基板上の蛍光体層を発光させるものである。カソード基板上に形成される電子放出素子は、個々の画素に対応することになる。これまで利用されている電子放出素子は、電子放出に適した尖鋭な突起構造を有するものが一般的であり、たとえば、先端部が尖った円錐状の金属からなる電子放出素子が広く利用されている。

【0003】これに対して、近年、表面伝導型の電子放出素子が注目を浴びている。これは、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより電子放出が生じる現象を利用した電子放出素子である。このような電子放出現象は、1965年に「ラジオエンジニアリングエレクトロフィシックス (Radio Eng. Electron. Phys.) 第10巻、1290～1296頁」に、エム・アイ・エリンソン (M.I. Elinson) らによって報告されて以来、今日に至るまで種々の報告がなされている。具体的には、エリンソンらによって開発されたSnO₂ (Sb) 薄膜をはじめ、Au薄膜、ITO薄膜、カーボン薄膜などで、この表面伝導型の電子放出現象が報告されている。

【0004】また、最近では、特公平6-101297号公報に、微粒子を分散した面を扶持した絶縁層を用いて、この表面伝導型の電子放出素子を構成する技術が開

示されており、特公平(一)87392号公報には、微粒子を含む薄膜導電体膜に通電加熱を施すことにより、表面伝導型の電子放出機構をもった電子放出素子を製造する方法が開示されている。

【0005】

【発明が解決しようとする課題】上述したように、表面伝導型の電子放出素子、FEDなどのフラットパネルディスプレイへの利用が期待されている素子であり、このようなディスプレイに適用する場合、基板上に多数の素子を行列状に配置し、各素子からの電子放出をそれぞれ独立して制御できる、うにしたマトリックス基板が必要とされる。

【0006】従来の表面伝導型電子放出素子を配列したマトリックス基板の第1の課題は、従来構造では、基板上に平行に向かい合う画素電極間に電子放出物質が存在するために、電子が横方向に飛翔する傾向を除去できないという問題である。このため、対向基板上にパターンニングされた蛍光体に対する画素電極側とのアライメントが困難となり、その結果、クロストーク等を原因とするコントラストの低下にじみ、カラーの場合には更に色純度の低下等を生じさせる。そこで本発明は、電子が横方向に飛翔しない新しい構造の電子放出素子とそれを配列したマトリックス基板とその製造方法を提供することを目的とする。

【0007】このように多数の電子放出素子をマトリックス状に配置して駆動する場合に解決しなければならない第2の課題は、個々の素子の特性を均一化することである。すなわち、従来の表面伝導型の電子放出素子では、基板上に小さな電子放出膜が形成され、この電子放出膜の両側に電流供給用の電極が形成される。そして、この一対の電極間に存在する電子放出膜の膜面に電流が流れ、電子放出が起こることになる。したがって、両電極間の距離が各素子ごとにばらついていると、個々の素子ごとの特性が不均一になる。別言すれば、同じ電圧を印加しても、放出される電子の量が個々の素子ごとに異なることになる。このように、1枚のフラットパネルディスプレイを構成する電子放出素子の特性が不均一であると、画面の表示状態にムラが生じ、もはや高品位のディスプレイの実現できなくなる。このため、個々の電子放出素子を構成する電極間隔には高い精度が要求される。しかしながら、このような高い位置精度を確保するためには、高い製造技術が要求され、製造コストも高騰せざるを得ない。

【0008】電子放出素子を配列したマトリックス基板を製造する上での第1の課題は、駆動に必要な配線層をできるだけ単純な工程で形成することである。上述のように、行列状に配置された多数の電子放出素子をそれぞれ独立して制御するためには、基板上に縦横に巡った配線を施し、これらの配線に対する電圧を制御すること

にしなければならない。ところが、個々の電子放出素子に対してこのような配線を施すためには、基板上にかなり複雑な立体配線層を形成する必要があり、製造プロセスはかなり複雑にならざるを得ない。このため、やはり製造コストの高騰を招くことになる。

【0009】そこで本発明は、電子の飛翔が横流れせず、特性が均一化され同一基板上に多数を配列して用いるような場合にも、できるだけ全体構造を単純化し、製造プロセスを簡単にすることができる電子放出素子と当該電子放出素子を配列したマトリックス基板およびその製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】

(1) 本発明の電子放出素子の第1の態様は、基板上に形成された下部電極面上に絶縁層を介して上部電極を積層して三層構造体を形成し、当該上部電極、絶縁層の側面部を経て下部電極に至る部分に通電により電子放出を行う機能をもった電子放出膜を、上部電極、絶縁層、下部電極の三層のすべてに接するように形成したことを特徴とする電子放出素子、にある。この電子放出素子は、対向基板に対して電子の横流れの少ない特性を有する。

【0011】(2) 本発明の電子放出素子の第2の態様は、上述の第1の態様に係る電子放出素子において、下部電極面上に形成された上部電極、絶縁層の端面がそれぞれ揃うように、基板に対して所定の角度で平坦面を形成するように形成されていることを特徴とする電子放出素子にある。この電子放出素子は、対向基板に対して電子の横流れの少ない特性を有し、かつ電子放出膜の形成が容易である。

【0012】(3) 本発明の電子放出素子の第3の態様は、上述の第1の態様に係る電子放出素子において、下部電極面上に形成された上部電極、絶縁層が階段状をなすように形成され、かつ上部電極の外形輪郭が絶縁層の外形輪郭よりも小さくその内部に納まるように形成されていることを特徴とする電子放出素子、にある。この電子放出素子は、対向基板に対して電子の横流れの少ない特性を有し、かつ電子放出膜の形成が容易である。

【0013】(4) 本発明の電子放出素子の第4の態様は、上述の第1～第3の態様に係る電子放出素子において、下部電極面上に形成された上部電極、絶縁層、電子放出膜が画素電極の中心をとる面に対して面对称に形成されていることを特徴とする電子放出素子、にある。この電子放出素子は、対向基板に対して電子の横流れの少ない特性を有し、かつ電子収束性も優れている。

【0014】(5) 本発明の電子放出素子の第5の態様は、上述の第1～第4の態様に係る電子放出素子において、上部電極が下部電極よりも正に荷電されることを特徴とする電子放出素子、にある。この電子放出素子は、対向基板に対して電子の横流れの少ない特性を有する。

【0015】(6) 本発明の電子放出素子を配列したマ

トリックス基板の態様に、基板上に、列方向に伸びた複数の下部電極を配置するとともに、絶縁層を介して行方向に伸びた複数の上部電極を配置し、各下部電極と各上部電極とを絶縁層を介して交差させ、各交差部分の近傍に交差部から分岐した上部電極を絶縁層を介して下部電極面上に形成して3層からなる画素電極を形成し、当該画素電極の上部電極、絶縁層、下部電極の3層のすべてに接するように通電により電子放出を行う機能をもった、電子放出膜を形成した各画素電極および電子放出膜からなる複数の電子放出素子を基板上にマトリックス状に配列し、この複数の電子放出素子について、前記下部電極が列方向配線として機能し、前記上部電極が行方向電極として機能するように構成したことを特徴とする電子放出素子を配列したマトリックス基板、にある。この電子放出素子を配列したマトリックス基板によれば、構造を単純化することができ、

【0016】(7)本発明の電子放出素子を配列したマトリックス基板の製造方法の態様は、基板上に、列方向に伸びた複数の下部電極を配置するとともに、絶縁層を介して行方向に伸びた複数の上部電極を配置し、各下部電極と各上部電極とを絶縁層を介して交差させ、各交差部分の近傍に交差部から分岐した上部電極を絶縁層を介して下部電極面上に形成して3層からなる画素電極を形成し、当該画素電極の上部電極、絶縁層、下部電極の3層のすべてに接するように通電により電子放出を行う機能をもった、電子放出膜を形成した各画素電極および電子放出膜からなる複数の電子放出素子を基板上にマトリックス状に配列した電子放出素子を配列したマトリックス基板の製造方法であって、絶縁性をもった透光性基板上に導電性材料からなる列方向の下部電極を形成する工程と、前記基板上に上部電極形成層を絶縁層形成層を介して積層する工程と、前記上部電極形成層の上に感光性レジストを塗布して上部電極と上部電極から分岐して画素電極を形成するパターンをパターン露光する工程と、当該パターン露光により導かれたレジスト層を介して、上部電極と上部電極から分岐した画素電極とそれらを支持する絶縁層をエッチングによりパターン形成する工程と、通電により電子放出を行う機能をもった電子放出膜を当該画素電極の上部電極、絶縁層、下部電極のすべてに接するように形成する工程と、を有することを特徴とする電子放出素子を配列したマトリックス基板の製造方法、にある。この製造方法によれば、電子放出素子を配列したマトリックス基板と容易に製造することができる。

【0017】

【発明の実施の形態】以下、本発明を図示する実施形態に基づいて説明する。

【0018】§1. 従来の電子放出素子の構造および動作原理

はじめに、従来の一般的な表面伝導型の電子放出素子の

構造および動作原理を説明しておく。図1は、従来の表面伝導型の電子放出素子10および対向基板20の構造を示す断面図である。この例では、電子放出素子10

は、ガラス基板11上に電極12、13を形成し、更にその上に電子放出膜14を形成することにより構成されている。電子放出膜14は、カソード電極として機能することになり、たとえば、 SnO_2 、 In_2O_3 、 PbO などの金属酸化物、 Au 、 Ag などの金属、カーボンその他各種半導体など、表面伝導型の電子放出現象が知られている材料であればどのような材料で構成してもかまわない。一方、対向基板20は、ガラス基板21上に透明電極22および蛍光体層23を形成したものである。透明電極22は、たとえばITOなどの材料で構成され、アノード電極として機能することになる。

【0019】図2は、図1に示す電子放出素子10におけるガラス基板11上に形成された構成要素の上面図である。この図における切断線1-1による断面が図1に示されていることになる。電極12および13が所定間隔をおいて向き合っており、その間に電子放出膜14が形成されている状態が明瞭に示されている。

【0020】いま、図1に示すように、各部に配線を施した場合に生じる現象について考えてみる。この配線によれば、電極13は接地され、電極12には電源31から負の電圧が印加される。また、電子放出素子10と対向基板20との間にも、電源32によってカソード/アノード間電圧が印加されるが、この図1に示す状態では、スイッチ33が開いているため、電圧印加は行われていない。さて、電極12、13によって、電子放出膜14の両側に電圧が印加されると、電子放出膜14の膜表面部分に、図に矢印で示したような電子放出が起こる。これが、表面伝導型の電子放出として知られている現象である。

【0021】図3は、図1に示す電子放出素子10から対向基板に向けて電子放出が行われている状態を示す断面図である。ここで、スイッチ33を閉じてカソード/アノード間電圧を印加すれば、図3に示すように、電子放出膜14の表面に放出された電子は、アノード側の対向基板20へと飛翔することになり、このようなカソードからアノードへと向かう電子の衝突により、蛍光体層23が蛍光を発することになる。ここでは、説明の便宜上、1画素分の構成要素のみを示したが、このような1画素分の構成要素を縦横にマトリックス状に配列すれば、画素を二次元平面上に並べたフラットパネルディスプレイを実現することができる。なお、このようなフラットパネルディスプレイでは、スイッチ33を閉じた状態のままとし、各画素ごとに電源31からの印加電圧を調節して、画素ごとの発光状態を制御するのが一般的である。より具体的には、電子放出膜14に与える印加電圧の値および印加時間を調節することにより、対向基板20への電子の飛翔量を制御することができる。

【0022】さて、このような電子放出素子10を利用したフラットパネルディスプレイの技術的課題は、既に述べたように、電子放出素子から放出された電子を対向基板の対応する方向に一直に飛翔させることと、個々の素子の特性均一化および駆動用配線の単純化である。

【0023】図1において説明したように、電極12には負の電圧が印加され、電極13は接地されているので、電子放出膜14から放出された電子は放出当初から、矢印で示す方向へ方向性を有している。この状態で、スイッチ33を閉じると電源32により対向基板との間でも電圧が印加され、電子は対向基板側へ向かうが、その方向は、図3にも図示されるように横方向へかなり流れた軌跡を描き、対応する蛍光体に電子が到達しない場合が生じる。このため、フラットパネルの製造上、上下のマトリックス基板のアライメントが困難になるという問題が生じ、その結果、クロストークやコントラストの低下、カラーの場合は色純度の低下等の原因ともなる。

【0024】素子ごとの特性のばらつきは、主として寸法精度に依存する。図4は、図1に示す電子放出素子10の主要部の寸法を示した図である。一般的なフラットパネルディスプレイの場合、ここに示す各部の寸法は、たとえば、 $D1=15\mu m$ 、 $D2=80\mu m$ 、 $D3=0.2\mu m$ 、 $D4=0.5\mu m$ といった程度の値になる（もちろん、これらの値は一例として示したものであり、具体的な数値は個々のディスプレイによってそれぞれ異なる）。

【0025】これらの寸法のうち、特に素子特性に影響を与える寸法は電極12、13間の間隔D1である。この間隔D1は、電子放出膜14に加わる電界強度を支配するものであり、間隔D1が変動すると、電子の放出量も変わってくることになる。そこで、表示特性が全面にわたって均一なディスプレイを実現するためには、ガラス基板11上に配列された個々の電子放出素子についての寸法D1を均一にする必要がある。このため、実際の製造プロセスにおいては、たとえば、 $D1=15\mu m\pm 2\mu m$ といった所定の寸法精度が要求されることになり、高精度なパターンングプロセスが必要になる。これは製造コストを高騰させる要因となり、実用化への大きな障害になる。特に、今後は、低電力駆動型のディスプレイの要望が益々高まってくる傾向にあり、間隔D1の絶対値は益々小さく設定せざるを得なくなり、より高い寸法精度が要求されるようになると予想される。

【0026】また、駆動用配線の単純化という課題も、従来構造の電子放出素子を配列したマトリックス基板では、解決することが困難な課題である。図1および図3では、1画素分の電子放出素子についての配線を示したが、ディスプレイに利用する場合には、ガラス基板11上に縦横に配列された多数の電子放出素子のそれぞれに対して独立した配線を行う。各電子放出素子ごとに電

子放出膜14への印加電圧を独立して制御できるようにしなければならない。ガラス基板11にこのような配線を施すには、数多くのパターンングプロセスが必要となり、製造工程は複雑化せざるを得ない。これも製造コストを高騰させる要因のひとつであり、実用化への障害となる。

【0027】上述した従来の電子放出素子では、電子放出膜14はガラス基板11に平行な膜として形成されている。これは「基板上に薄膜を形成する」という要望に応えるためのごく一般的な方法である。これに対し、本願発明者は、電子放出膜をガラス基板に対して所定角をもって形成する（たとえば、垂直に形成する）という特徴をもった新規な電子放出素子を提案し、本願と同一出願人による平成7年10月31日付き出願（特願平7-306502号）において開示した。本願は、この新規な電子放出素子のさらに異なる態様およびそれを使用したマトリックス基板等を提供するものである。

【0028】図5は、本発明の一実施形態に係る電子放出素子の製造工程を示す斜視図である。いま、基板上に、図5(A)の斜視図に示すような三層構造体を用意する（図5では、基板は省略されている）。この三層構造体は、下部電極52と上部電極54との間に絶縁層53を挟んでなる構造体であり、いわゆる「サンドイッチ構造」をしている。このような三層構造体を用意してから、その上部電極と絶縁層の側面部に通電により電子放出を行う機能をもった電子放出膜55を形成すれば、図5(B)の斜視図に示すような構造体が得られる。このような構造体は、電子放出素子50として機能することになる。すなわち、図3に示す従来の電子放出素子10と比較すれば、下部電極52が電極12としての機能を果たし、上部電極54が電極13としての機能を果たし、電子放出膜55が電子放出膜14としての機能を果たすことになる。また、絶縁層53は、電極12と電極13との間の間隔精度を保つためのスペーサとしての役割を果たしている。

【0029】前記の先の出願（特願平7-306502号）では、上部電極、絶縁層、下部電極がほぼ同一サイズで三層構造体を形成しているのに対し、本願発明では電子放出素子の対称性を向上させるために、上部電極、絶縁層を下部電極の平面上に形成したことに特徴がある。また、図5(B)の1-1線の切断面に対して、電子放出素子の左右が面対称の関係にあることにも特徴がある。こうすることによって、対向基板に対する電子放出がさらに収束されてなされる効果が生じることになる。なお、本願図面では、斜視図においても、各構成要素に必要に応じてハッチングを施して示すことにする。このハッチングは断面を示すためのものではなく、個々の構成要素を容易に識別できるようにするためのものである。

【0030】§2. 本発明の電子放出素子の構造および

動作原理

図6は、本発明の実施形態に係る電子放出素子50および対向基板20の構造を示す断面図である。いま、このような構造をもった電子放出素子50について、図6に示すように各部に配線を施した場合に生じる現象について考えてみる。この配線によれば、下部電極52は接地され、上部電極54には電源31から正の電圧が印加される。また、電子放出素子50と対向基板20の間にも、電源32によってカソード/アノード間電圧が印加されるが、この図6に示す状態では、スイッチ33が

開いているため、電圧印加は行われていない。さて、下部電極52および上部電極54によって、電子放出膜55の底部/上縁部に電圧が印加されると、電子放出膜55の膜表面部分に、図に矢印で示したような電子放出が起こる。すなわち、表面伝導形の電子放出現象が起こることになる。

【0031】図7は、図6に示す電子放出素子50から対向基板20に向けて電子放出が行われている状態を示す断面図である。ここで、スイッチ33を閉じてカソード/アノード間電圧を印加すれば、図7に示すように、電子放出膜55の表面に放出された電子は、アノード側の対向基板20へと飛翔することになり、このようなカソードからアノードへと向かう電子の衝突により、蛍光体層23が蛍光を放することになる。ここでも説明の便宜上、1画素分の構成要素のみを示したが、このような1画素分の構成要素を縦横にマトリックス状に配列すれば、画素を二次元平面上に並べたフラットパネルディスプレイを実現することができる。実際には、従来の電子放出素子を用いたフラットパネルディスプレイと同様に、スイッチ33を閉じた状態のままで、各画素ごとに電源31からの印加電圧を調節して、画素ごとの発光状態を制御することができる。

【0032】図3の従来の電子放出素子の電子の飛翔軌跡と、図7の飛翔軌跡を比較してみると、図3の場合は、電子の放出当初から横方向への飛翔の力を受けているが、図7の場合には、放出当初から垂直方向への飛翔の力を受けていて、水平方向への速度成分をほとんど持たないので、対向基板20に向けて電子の飛翔がなされ、横流れし難いことが理解できる。なお、ここに示す例では、図6のように、上部電極側に正電圧を印加することにより、電子放出膜55の表面では、下方から上方へ向かう電子の流れが形成されるようにしているが、逆に、下部電極52側に正電圧を印加することにより、電子放出膜55の表面において、上方から下方へ向かう電子の流れが形成されるようにしても、対向基板20側への電子放出は支障なく行われる。従って、下部電極52と上部電極54との間の印加電圧の極性はどちらでもよいことになる。ようするに、電子放出膜面での電子放出を基板に対して角度を設けるようにすることにより横方向への速度成分を減殺し、基板垂直方向への飛翔を高めることが

本発明の第1の目的である。

【0033】図8は、図7に示す本発明の電子放出素子50の主要部分の寸法を示した図である。ここで、絶縁層53の厚みD1としては、実用上、 $D1=0.1\mu\text{m}\sim 1\text{mm}$ 程度、より好ましくは、 $1\mu\text{m}\sim 100\mu\text{m}$ 程度に設定するのがよい。また、下部電極層52および上部電極層54の厚みD2、D3としては、実用上、 $D2, D3=0.1\mu\text{m}\sim 1\text{mm}$ 程度、より好ましくは、 $1\mu\text{m}\sim 50\mu\text{m}$ 程度に設定するのがよい。三層構造体の幅D4は、電子放出の動作を考慮する上では任意でかまわないが、この三層構造体自体は容量素子として作用するので、素子自体の寄生容量値を低く抑えて応答速度を向上させるためにはできるだけ小さくするのが好ましく、実用上はパネルのサイズにもよるが、 $D4=10\mu\text{m}\sim 500\mu\text{m}$ 程度にするのが好ましい。また、電子放出膜55の厚み、D5としては、表面伝導形の電子放出現象が生じる厚みにする必要があり、効率的な電子放出を行わせるためには、できるだけ薄い方が望ましい。実用上は、 $D5=0.01\mu\text{m}\sim 1\mu\text{m}$ 程度に設定するのが好ましい。

【0034】さて、この図8に示す本発明の構造を、図4に示す従来の構造と比較すると、従来構造における電極12、13間の距離である寸法D1は、本発明における絶縁層53の厚み寸法D1に対応することがわかる。ここで、図4における寸法D1も、図8における寸法D1も、いずれも電子放出膜に電界を与えるための一對の電極間寸法に対応するものであり、この電極間寸法によって、電子放出膜に与えられる電界強度が決定されることになる。そして、表示特性が全面にわたって均一なディスプレイを実現するためには、ガラス基板上に配列された個々の電子放出素子についての電極間寸法を均一にする必要があるということは、既に述べたとおりである。

【0035】ここで、電極間寸法の精度に着目すると、図4に示す従来構造においては、基板面に平行な平面方向の精度であるのに対し、図8に示す本発明の構造においては、基板面に垂直な厚み方向の精度であることがわかる。すなわち、図4に示す従来構造を「横型構造」と呼び、図8に示す本発明の構造を「縦型構造」と呼ぶことにすれば、「横型構造」の場合、電極間寸法D1の精度を平面方向の精度として確保する必要があるのに対し、「縦型構造」の場合、電極間寸法D1の精度を絶縁層53の厚み方向の精度として確保すればよいということになる。

【0036】一般に、半導体プレーナプロセスなど、基板上に層形成を行う製造プロセスでは、平面方向の寸法精度を確保するよりも、厚み方向の寸法精度を確保する方が容易である。別言すれば、図4に示すように、正確な所定間隔D1をもった電極12、13を形成する工程と、図8に示すように、正確な所定厚みD1をもった絶

11

緑層53を形成する工程と、を比較すると、寸法値D1が同じ場合、前者より、後者の方が工程は容易になる。特に、近年では、基板の成膜技術は非常に進歩しており、厚みに関しては、かなりの精度で制御することが可能である。したがって、本発明の構造をもった電子放出素子は、従来構造の電子放出素子に比べて、製造プロセスが容易になり、製造コストを低減させるというメリットが得られる。

【0037】図9は、本発明の他の実施形態に係る電子放出素子の製造工程を示す斜視図である。図9(A)は、下部電極52面上に上部電極54とそれを支える絶縁層53が形成された状態が示されている。図9(B)では、この3層構造体の先端部の3側面を電子放出膜で覆った状況を示すものである。図5の電子放出素子では、画素電極の3層構造体の1側面にのみ、電子放出膜が形成されているが、図15の実施形態では、画素電極の3側面が電子放出膜で覆われるように形成されている。こうすることにより、電子放出膜を介して上部電極と下部電極を対向させる距離を長くすることができるので、電子放出量を増加させることができる。

【0038】図10は、本発明の他の実施形態に係る電子放出素子の製造工程を示す斜視図である。図10(A)は、下部電極52面上に上部電極54とそれを支える絶縁層53が形成された状態が示されている。図5や図9の場合には、絶縁層が垂直に形成されてくるのに対し、図10では、絶縁層が斜めに形成されている。電子放出物質を塗布する面が垂直に形成される場合には、電子放出物質を均一に塗布することが困難な場合もあるが、塗布面を図10の絶縁層のように、斜めに形成すれば均一な塗布面を形成することも容易になる。図10(B)では、この3層構造体の先端部の3側面を電子放出膜で覆った状況を示すものである。なお、上部電極と絶縁層の双方を傾斜して形成してもよいし、また、それらを階段状に形成してもよい。また、図9(B)の電子放出素子においては、切断面1-1における面において面对称の関係にあり、図10(B)の電子放出素子においては、切断面1-1における面において面对称の関係にあることは、図5の場合と同様である。

【0039】図11は、本発明のさらに他の実施形態に係る電子放出素子の製造工程を示す斜視図である。図11(A)では、上部電極と絶縁層が下部電極面上に階段状に形成されており、上部電極が絶縁層の外形輪郭の内側に納まるように形成されている。図11(B)はこのような電極、絶縁層の面に電子放出膜を塗布する工程を示したものである。図12は、本発明のさらに他の実施形態に係る電子放出素子を示す断面図である。図12(A)では、上部電極と絶縁層が下部電極面上に傾斜状に形成されており、上部電極が絶縁層の外形輪郭の内側に納まるように形成されている。図12(B)では、上部電極と絶縁層が下部電極面上に傾斜状かつ階段状に形成

12

成されており、上部電極が絶縁層の外形輪郭の内側に納まるように形成されている。

【0040】§3. ディスプレイへ応用する実施形態
これまで、単一の電子放出素子についての構造を述べてきたが、本発明の電子放出素子は、フラットパネルディスプレイへの応用に特に適している。この場合、基板上に多数の電子放出素子を縦横に配置して用いることになる。以下、このような実施形態について述べることにする。

【0041】図14は、本発明の一実施形態に係る電子放出素子200をマトリックス基板上に構成した実施例を示す斜視図である。ガラス基板100上には、4つの電子放出素子200が構成された状態が示されている。本発明の電子放出素子をディスプレイへ応用する場合、1つの電子放出素子が1画素分の表示動作を行うことになるので、この図14に示す例では、2×2の合計4画素分の表示が可能になる。もちろん、実際のディスプレイでは、より多数の電子放出素子が配列されることになる。なお、図14の斜視図において、各構成要素に施されているハッチングは、前述したように、断面を示すためのものではなく、個々の構成要素を容易に識別できるようにするためのものである。この図14に示す電子放出素子の構造は次のとおりである。

【0042】まず、ガラス基板100上に、列方向に伸びた下部電極110を行方向に複数（この例では2本）配置する。一方、行方向に伸びた上部電極130を列方向に複数（この例では2本）配置する。このとき、上部電極130は絶縁層120を介してガラス基板100上に形成するようにする。すなわち、絶縁層120は上部電極130に対して、いわば「橋げた」の役割を果たすことになり、下部電極110との交差部分においては、この「橋げた」として機能する絶縁層120の存在により、上部電極130が下部電極110を跨ぐ形になる。このような構造では、結局、上部電極130の形成領域のうち、下部電極110との交差部分には、下部電極110/絶縁層120/上部電極130という三層構造体が形成され、それ以外の部分には絶縁層120/上部電極130という二層構造体が形成されるようになる。

【0043】もっとも、原理的には、上部電極130の下方の全領域に絶縁層120を形成する必要はなく、少なくとも下部電極110との交差部分に絶縁層120を設け、三層構造体が形成されるようにすれば足りる。したがって、この交差部分以外の領域については、必ずしも絶縁層120を設ける必要はなく、ガラス基板100の上面に直接上部電極130が形成されるような構造にしてもかまわない。しかしながら、実用上は、図14に示すように、上部電極130の下方の全領域にわたって絶縁層120を形成するようにし、上部電極130の上面がガラス基板100にはほぼ平行な平坦面をなすように構成するのが、断線などを避ける上で好ましい。また、

図14のマトリックス基板では、下部電極110が幅広に図示されているが、前記のように基板全体のコンデンサ容量を減少させるためには、上部電極と下部電極が絶縁層を挟んで上1に位置する部分をできるだけ少なくする必要がある。このためには、上部電極の下にくる下部電極の幅を必要最小限とし、上下電極の交差部以外では極力絶縁体のみとする構造が必要である。

【0044】さて、図14に示すように、各交差部近傍に形成された三層構造体には、上部電極130の上面から、少なくとも下部電極110にいたる上部電極と絶縁層の壁面部には、電圧により電子放出を行う機能をもった電子放出膜140が形成されている。したがって、図14に示す電子放出膜140は、平面上に形成された膜ではなく、三層構造体の上部電極と絶縁層の側面に形成された膜であり、基板に対して一定の角度をもった膜面を形成することになる。このような構成によれば、各交差部近傍ごとに複数の電子放出素子200を形成することができる。

【0045】さて、ここで重要な点は、下部電極110および上部電極130は、それぞれガラス基板100上で縦横に伸びた配線層としても機能する点である。前述したように、ディスプレイとして利用するためには、マトリックス状に配列された個々の電子放出素子に対して、それぞれ別個に電子放出を制御できるような配線が必要になる。従来の「橋型構造」の電子放出素子の場合、このような配線のための層を別途用意する必要があるため、基板上の構造は非常に複雑になる。これに対して、本発明の「縦型構造」の電子放出素子の場合、下部電極110および上部電極130が配線の機能を果たすため、別途配線層を設ける必要はない。すなわち、本発明に係る電子放出素子によれば、駆動に必要な配線を単純化するという課題が達成できることになる。

【0046】図13は、本発明に係る電子放出素子の駆動原理を説明するための図である。なお、ハッチングは、図14の各構成要素との対応を示すためのものである。ここでは、5行5列、合計25個の電子放出素子200が形成された例が示されている。すなわち、列方向に伸びた下部電極110が行方向に5本配置されており、また、行方向に伸びた上部電極130が列方向に5本配置されており、25か所に交差部分が形成されている。そして、各交差部分には、それぞれ別個独立した電子放出素子200が形成されており、各電子放出素子200からの電子放出を、それぞれ独立して制御することができる。

【0047】このような制御を行うために、セレクトラ150およびドライバ160が設けられている。セレクトラ150は、5本の上部電極130のうちのいずれか1本を選択して接地する機能を果たす。一方、ドライバ160は、5本の下部電極110のそれぞれに、所定の電圧信号を与える機能をする。セレクトラ150が5本の

上部電極130を順番に選択する動作を行えば、5本の行を時分割して順次アクセスすることが可能になる。そして、ドライバ160から供給する信号により、現在アクセス中の行に所属する電子放出素子200からの電子放出が制御される。たとえば、図示のように、セレクトラ150が第1行目を選択して接地した状態において、ドライバ160から、第1列目の下部電極110に対して負の電圧供給を行えば、第1行第1列目の電子放出素子については、図14に示す配線がなされたことになり、対向基板20への電子放出が起こることになる。このような駆動方法は、いわゆる、「単純マトリックス駆動」と呼ばれている方法である。

【0048】このように、本発明によれば、下部電極110および上部電極130をそのまま配線層として利用することができるため、ディスプレイに応用する場合にも構造は非常に単純になり、製造プロセスも単純化され、製造コストの低減を図ることができるようになる。

【0049】§4. ディスプレイへ応用する場合の製造工程

最後に、図14に示す構造を得るための製造工程の一例を、図15～図24に示す斜視図を参照しながら説明する。なお、これらの斜視図においても、図14に示す各構成要素との対応関係を明らかにするためのハッチングを施すことにする。

【0050】まず、図15に示すように、ガラス基板100（絶縁性の基板であれば何でもよい）上の全面に第1の準備層115を、真空蒸着法やスパッタ法など一般的な成膜方法を用いて形成する。続いて、この第1の準備層115上に感光性レジスト115'を塗布し、これをフォトマスクを使用してパターンニングして露光し、レジスト膜を形成する（図16）。続いて、これをエッチングして、図17に示すように、下部電極110を形成する。もっとも、第1の準備層115は、必ずしもその時点で感光性レジストを用いてパターン形成する必要はない。たとえば、感光性をもった樹脂中に金属微粒子を分散させてなる金属粒子分散型レジストをガラス基板100上に塗布して導電性の感光性のペースト層を形成し、このペースト層を、フォトリソグラフィの手法により、露光し、現像してパターンニングを行い、最後に焼成工程を行って、ペースト層内の樹脂成分を除去すれば、導電性をもった下部電極110を得ることができる。なお、感光性のペースト層は、感光性をもった樹脂と有機導電性樹脂との混合からなる感光性レジストにより形成してもよい。

【0051】続いて、ガラス基板100および下部電極110上の全面に、図18に示すように、絶縁性形成層である中間層125と第2の準備層135を形成する。この第2の準備層135としては、第1の準備層110と同様に、感光性のペースト層を用いてもよい。そして、第2の準備層135に感光性レジスト材料135'を

を塗布してからパターニングを行い(図19)、上部電極130を形成す。(図20)。続いて、中間層125に対するパターニングを上部電極130をマスクとしてリアティブエッチング等により行い、図21に示すように、絶縁層120および導電性をもった上部電極130とそれから分岐した画素電極を形成する。

【0052】もちろん、絶縁層120を形成するパターニング工程と、上部電極130を形成するパターニング工程を別々に行ってもよい。たとえば、図23に示すように、絶縁層120を形成した後、基板100、下部電極110および絶縁層120上の全面に導電性の準備層145を形成し、この導電性準備層145に対するパターニングをフォトリソマスクM3を用いて行い(図24)、上部電極130とそれから分岐した画素電極を形成し、図21に示す構造を得ることも可能である。上部電極と絶縁層を異なるパターンに形成する場合はこの方法をとることが必要である。

【0053】こうして、下部電極110と上部電極130との交差点近傍部分において、下部電極110、絶縁層120、上部電極130からなる三層構造体が形成できる。続いて、図2に示すように、この三層構造体の側面、すなわち、下部電極130の側面から、絶縁層を経て少なくとも下部電極110に至る部分に、通電により電子放出を行う電子放出性物質を塗布する。

【0054】なお、電子放出膜140を形成する工程としては、たとえば、表面伝導型の電子放出現象が起こる材料を有機溶媒に溶かした溶液を用意し、この溶液を壁面部に塗布乾燥させるような方法を探ることができる。

【0055】8.5. その他の変形例

以上、本発明をいくつかの実施形態に基づいて説明したが、本発明はこれらの実施形態に限定されるものではなく、この他にも種々の形態で実施可能である。以下にいくつかの変形例を述べておく。

【0056】図1に示す構造によれば、絶縁層120が上部電極130に沿って形成されており、いわば橋げたとしての役割を身しているが、逆に、絶縁層120を下部電極110に沿って形成し、いわゆる「カマボコ型」の絶縁層120によって下部電極110全体を覆う構造にしてもよい。列言すれば、下部電極110の上面および側面を覆うようにして列方向に伸びるチューブ状の絶縁層120を形成し、このチューブ状の絶縁層120が上部電極130をトンネルのように貫通する構造が得られることになる。

【0057】

【実施例】

<材質に関する実施例>図14に示すマトリックス基板の各部の材質としては、次のような材料を用いるのがよい。

【0058】下部電極110および上部電極130：電極として機能する導電性材料であればどのようなもの

でもよいが、耐電圧性、耐熱性、加工性、耐腐食性、比抵抗性を考慮して適当な材料を選ぶのが好ましい。具体的には、Al, Ni, Pd, Pb, Pt, W, Mo, Cr, Ti, Cu, Au, Agなどの金属材料を用いるのが好ましい。

【0059】絶縁層120：特に、表面導電性の低い材料を用いるのが好ましく、具体的には、石英ガラス、 SiO_2 , Si_3N_4 , などを用いるのが好ましい。

【0060】電子放出膜140：表面伝導型の電子放出現象が知られている材料であればどのような材料で構成してもかまわない。 SnO_2 , In_2O_3 , PbO などの金属酸化物、Au, Agなどの金属、カーボンその他各種半導体などが一般的に知られている材料である。この他、たとえば、特公平6-87392号公報に開示されているように、微粒子を含む薄膜導電体膜に通電加熱を行い、ジュール熱によりこの薄膜導電体膜を局部的に破壊、変形もしくは変質させて、電気的に高抵抗な状態にすることにより、電子放出膜を形成することもできる。あるいは同公報に開示されているようなガスデポジション法により電子放出膜を形成してもよい。

【0061】<電子放出素子の製造方法に関する実施例>厚み3mmの清浄な石英ガラス基板上に、スパッタ法により厚み3μmのCr層115を堆積する。その上に、ポジ型レジスト剤(東京応化工業株式会社製「OFPR800」)115をスピンナにより回転塗布し、オープンにて80°Cで30分間放置し乾燥させる。空冷後、線幅200μmの下部電極パターンをフォトリソマスクM1を使用して露光し(図15)、レジストの現像、水洗を行い、オープンにて135°Cで30分間放置する(図16)。空冷後、Crエッチング液(ザ・インクテック株式会社製「MR-ES」)を用いてCrをエッチングし、水洗する。

【0062】次に、120°Cに保持したレジスト剥離液(東京応化工業株式会社製「クリーンストリップ」)中に、基板を5分間放置し、室温のストリップリンス液に1分間、室温のイソプロピルアルコールに1分間、それぞれ浸すことにより、レジストの剥離を行う。この基板を水洗し、後に乾燥させる。以上の工程で、Crからなる線幅200μmの下部電極110が得られた(図17)。

【0063】続いて、この基板の上にスパッタ法により、絶縁層形成層となる膜厚10μmの SiO_2 層125を堆積し、その上に、スパッタ法により、膜厚3μmのCr層135を堆積し、さらに、ポジ型レジスト剤「OFPR800」135をスピンナにより回転塗布し、オープンにて80°Cで30分間放置し乾燥させる(図18)。空冷後、線幅100μmの上部電極と画素電極を構成する絶縁層のパターンをフォトリソマスクM2を使用して露光し(図19)、レジストの現像、水洗を行い、オープンにて135°Cで30分間放置する。空冷後、

rエッチング液「MR-ES」を用いて露出しているCr部分をエッチング、洗浄する。こうして、中間層125上にCrからなる線幅100μmの上部電極130とそれから分岐した画素電極が得られる。

【0064】次に、100°Cに保持したレジスト剥離液「クリーンストリップ」中に、基板を5分間放置し、室温のストリップリン液に1分間、室温のイソプロピルアルコールに1分間、それぞれ浸すことにより、レジストの剥離を行う(図10)。この基板を水洗し、後に乾燥させる。更に、 $\text{ClF}_3 + \text{O}_2$ をエッチャントとして用いたリアクティブイオン・エッチングを行い、Crからなる上部電極130をマスクとして、中間層125の露出部分をエッチングして除去する。以上の工程で、 SiO_2 からなる絶縁層120が得られる(図21)。

【0065】更に、有機パラジウム化合物を含む有機溶媒(奥野製薬工業株式会社「キャタベーストCCP」)からなるインキを、スクリーン印刷法で所望の位置(上部電極と絶縁層の側面部)に印刷し、15分間放置して当該側面部に薄膜を形成する。その後、約200°Cで20分間焼成し、Pdからなる微粒子を含む電子放出膜140を得た(図22)。

【0066】<対向基板の製造方法に関する実施例>厚み3mmの清浄な石英ガラス基板上に、スパッタ法により膜厚14μmのITC層を堆積する。その上に、EB蒸着法により膜厚20μmの $\text{ZnO}:\text{Zn}$ からなる蛍光体層を蒸着形成し、対向基板20を作製した。

【0067】<電子放出動作に関する実施例>10⁻¹⁰ Paに保った真空チャンバ中に、上述の実施例で作製したマトリックス基板と対向基板とを、3mmの間隔で平行に保持し、対向基板とマトリックス基板との間のカソード/アノード電圧として5kVを印加した。また、電子放出素子の動作電圧として、上部電極を接地電位に保ち、下部電極に-20Vを印加したところ、対向基板に向かって電子放出が得られ、良好な発光特性が得られた。また、行列状に配した多数の電子放出素子を、単純マトリックス駆動し、所定の画像情報に対応した信号を与えたところ、対向基板上に画像形成がみられた。

【0068】

【発明の効果】以上のとおり、本発明によれば下部電極表面上に、絶縁層、上部電極からなる三層構造体を形成し、上部電極と絶縁層の側面部を経て下部電極に至る部分に電子放出膜を形成したので、電子放出時の水平方向速度成分が減殺された電子放出がなされ、対向基板に対して収束性の優れた電子放出素子が得られる。また、本発明の電子放出素子は画素電極の中心をとる面に対して左右対称性の関係にあるため、対称性の良い電子放出がなされ、この点からも電子放出の対称性がよく、画素内での電子密度のむらがない電子放出を行うことができ、さらに電子放出素子が上部電極と下部電極からな

る縦型構造であるため、素子電極をマトリックス駆動用配線としても利用することができるので、同一基板上に本発明の電子放出素子を多数配列して用いるようなマトリックス基板であってもその全体構造は単純化され、製造プロセスを簡単にすることができる。

【図面の簡単な説明】

【図1】従来の表面伝導型の電子放出素子10および対向基板20の構造を示す断面図である。

【図2】図1に示す電子放出素子10におけるガラス基板11上に形成された構成要素の上面図である。

【図3】図1に示す電子放出素子10から対向基板20に向けて電子放出が行われている状態を示す断面図である。

【図4】図1に示す電子放出素子10の主要部分の寸法を示した図である。

【図5】本発明の一実施形態に係る電子放出素子の製造工程を示す斜視図である。

【図6】本発明の一実施形態に係る電子放出素子50および対向基板20の構造を示す断面図である。

【図7】図6に示す電子放出素子50から対向基板20に向けて電子放出が行われている状態を示す断面図である。

【図8】図7に示す本発明の電子放出素子50の主要部分の寸法を示した図である。

【図9】本発明の他の実施形態に係る電子放出素子の製造工程を示す斜視図である。

【図10】本発明の他の実施形態に係る電子放出素子の製造工程を示す斜視図である。

【図11】本発明の他の実施形態に係る電子放出素子の製造工程を示す斜視図である。

【図12】本発明の他の実施形態に係る電子放出素子を示す断面図である。

【図13】本発明に係る電子放出素子の駆動原理を説明するための平面図である。

【図14】本発明の一実施形態に係る電子放出素子200をマトリックス基板上に構成した実施例を示す斜視図である。

【図15】図14に示す構造を得るための製造工程の下部電極のレジストパターン形成する工程を示す斜視図である。

【図16】図14に示す構造を得るための製造工程の下部電極レジストパターンが形成された状態を示す斜視図である。

【図17】図14に示す構造を得るための製造工程の下部電極が形成された工程を示す斜視図である。

【図18】図14に示す構造を得るための製造工程の絶縁層形成層および上部電極の準備段階を示す斜視図である。

【図19】図14に示す構造を得るための製造工程の上部電極のレジストパターンを形成する工程を示す斜視図

である。

【図20】図14に示す構造を得るための製造工程の上部電極が形成された工程を示す斜視図である。

【図21】図14に示す構造を得るための製造工程の上部電極および絶縁層が形成された工程を示す斜視図である。

【図22】図14に示す構造を得るための製造工程の電子放出膜の形成段階を示す斜視図である。

【図23】図14に示す構造を得るための製造工程の絶縁層を形成する他の工程を示す斜視図である。

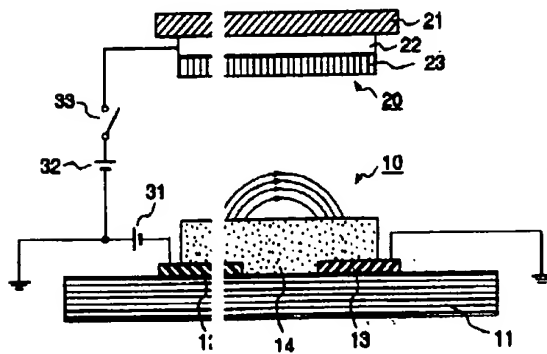
【図24】図14に示す構造を得るための製造工程の上部電極パターンを形成する他の工程を示す斜視図である。

【符号の説明】

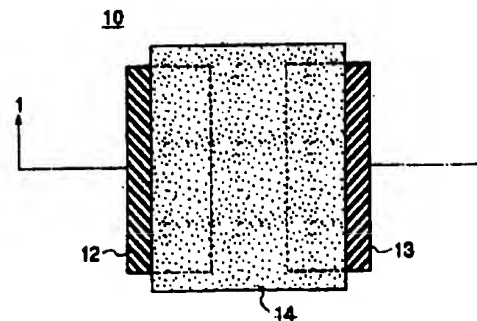
- 10 電子放出素子
- 11 ガラス基板
- 12, 13 電極
- 14 電子放出膜
- 20 対向基板
- 22 透明電極
- 23 蛍光体層
- 31, 32 電源

- 33 スイッチ
- 50 電子放出素子
- 51 ガラス基板
- 52 下部電極
- 53 絶縁層
- 54 上部電極
- 55 電子放出膜
- 100 ガラス基板
- 110 下部電極
- 115 第1の準備層
- 115 レジスト層
- 120 絶縁層
- 125 中間層
- 130 上部電極
- 135 第2の準備層
- 135 レジスト層
- 140 電子放出膜
- 145 導電性準備層
- 150 セレクタ
- 160 ドライバ
- 200 電子放出素子

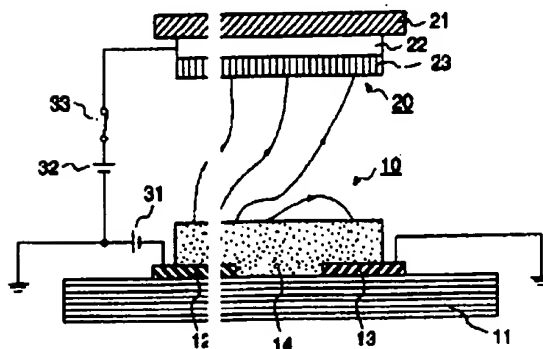
【図1】



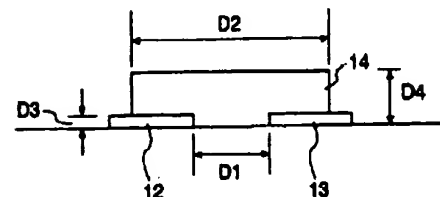
【図2】



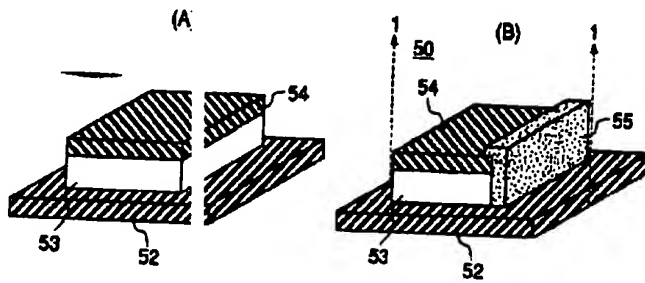
【図3】



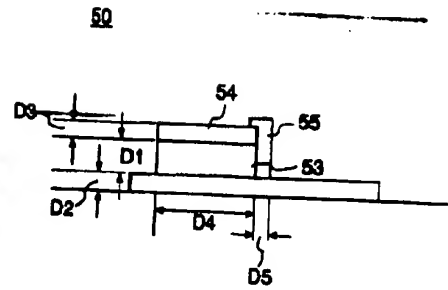
【図4】



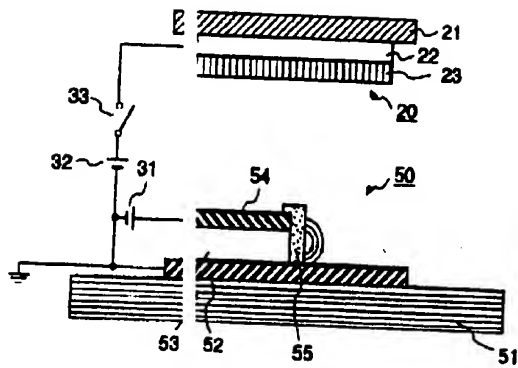
【図5】



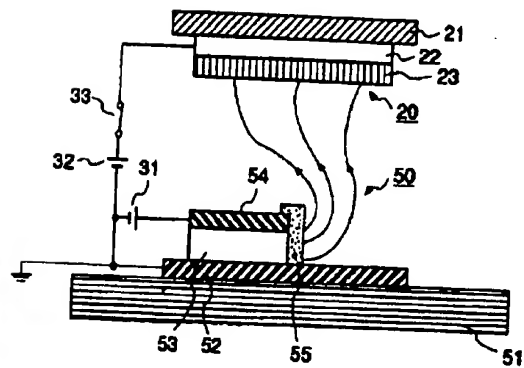
【図8】



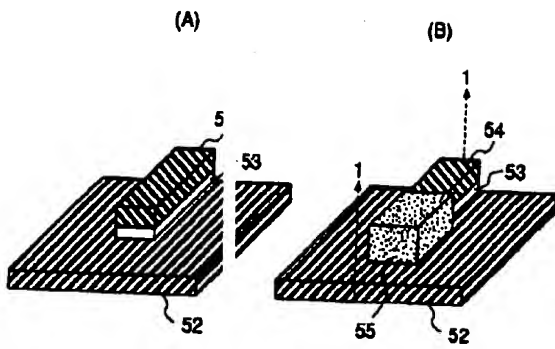
【図6】



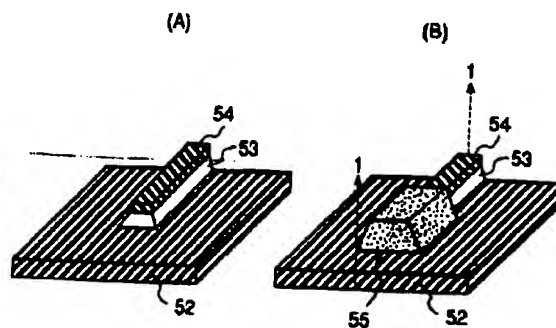
【図7】



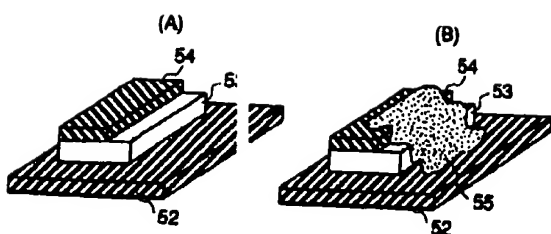
【図9】



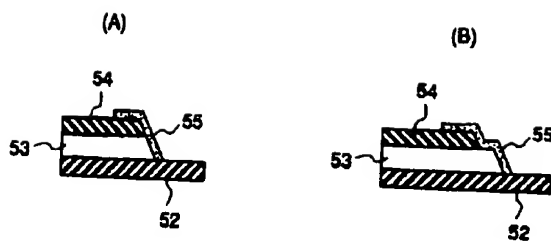
【図10】



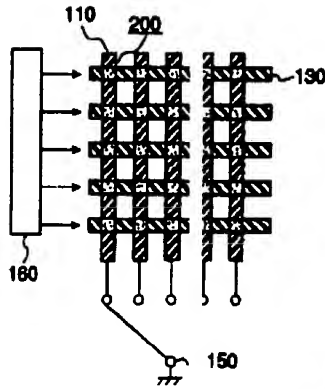
【図11】



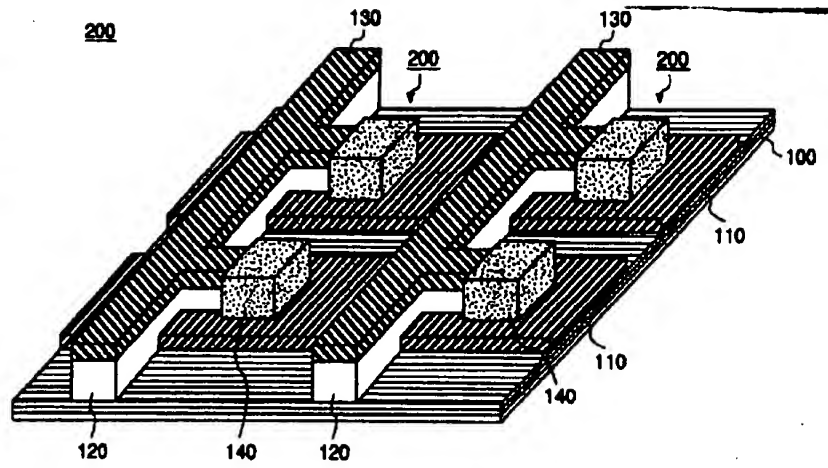
【図12】



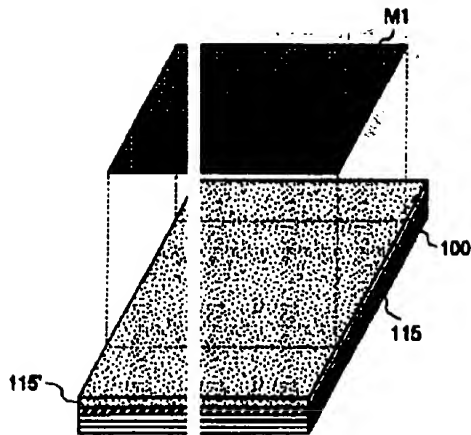
【図13】



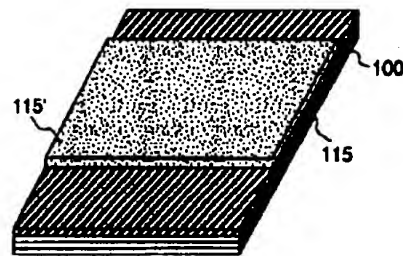
【図14】



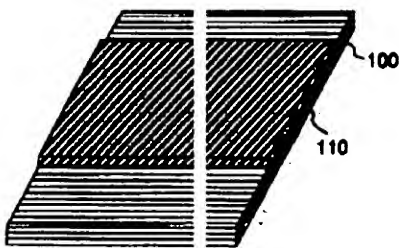
【図15】



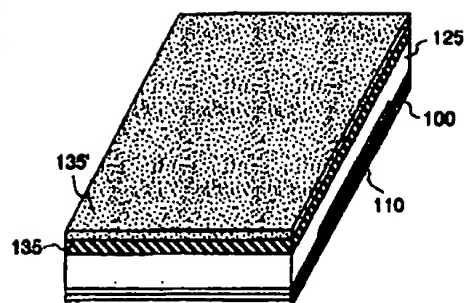
【図16】



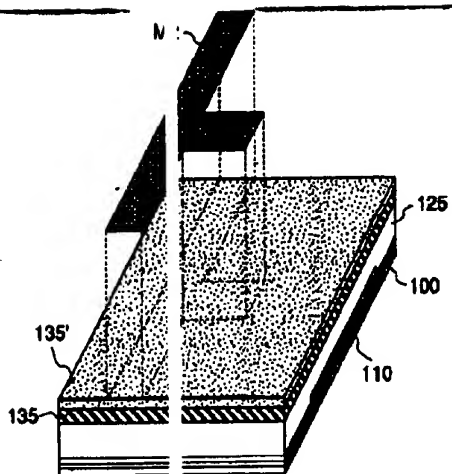
【図17】



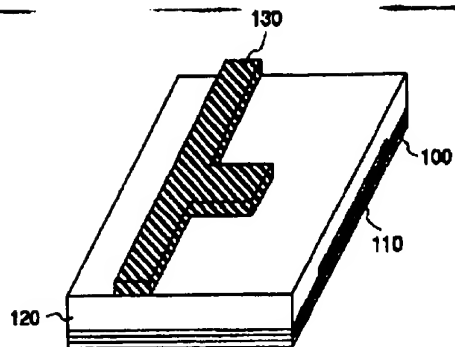
【図18】



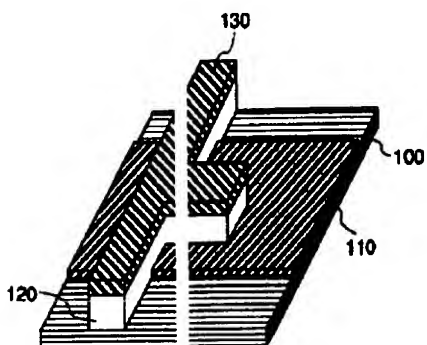
【図19】



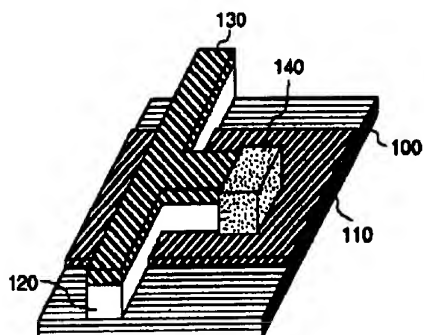
【図20】



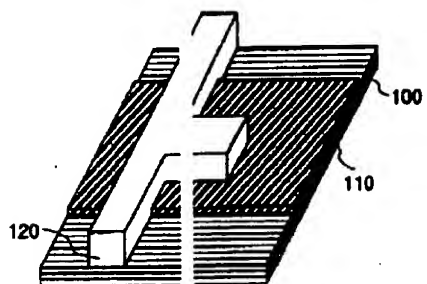
【図21】



【図22】



【図23】



【図24】

